

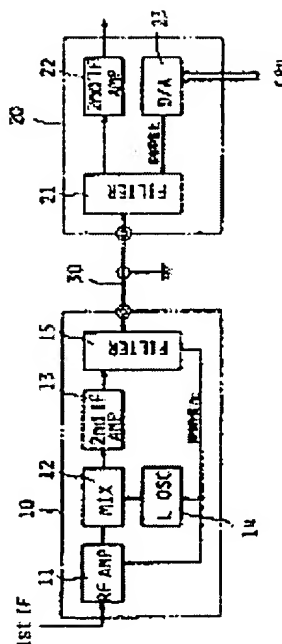
VOLTAGE SYNTHESIZER RECEIVING DEVICE

Patent number: JP1164131
Publication date: 1989-06-28
Inventor: SAKAMOTO KAZUAKI
Applicant: FUJITSU GENERAL LTD
Classification:
- **International:** H04B1/26; H04B1/26; (IPC1-7): H04B1/26
- **European:**
Application number: JP19870322501 19871219
Priority number(s): JP19870322501 19871219

Report a data error here

Abstract of JP1164131

PURPOSE: To reduce the number of output lines from a channel selecting part, and to solve a problem due to an external noise by superimposing a tuning voltage signal together with an IF signal on one cable, and transmitting them. **CONSTITUTION:** At the same time that a satellite tuner 10 is provided, an IF.D/A unit 20 that a second IF unit 22 and a D/A converter 23 are unified into one body is separated from the tuner 10, and the both are connected by one cable 30. The tuning voltage signal in addition to the IF signal is superimposed on the cable 30, and filters 15, 21 are provided at the cable connecting end parts of the both units 10, 20, and the respective signals are mixed or separated. Thus, one terminal is enough for connecting between the tuner and an IF/PLL unit mutually, and wiring is simplified, and simultaneously, influence due to the external noise is reduced as well.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A)

平1-164131

⑮ Int. Cl.⁴

H 04 B 1/26

識別記号

庁内整理番号

K-7251-5K

⑬ 公開 平成1年(1989)6月28日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 電圧シンセサイザ受信装置

⑯ 特 願 昭62-322501

⑰ 出 願 昭62(1987)12月19日

⑱ 発 明 者 坂 本 和 昭 神奈川県川崎市高津区末長1116番地 株式会社富士通ゼネラル内

⑲ 出 願 人 株式会社富士通ゼネラル 神奈川県川崎市高津区末長1116番地

⑳ 代 理 人 弁理士 長尾 常明

明 細 書

1. 発明の名称

電圧シンセサイザ受信装置

2. 特許請求の範囲

(1). チューナユニットとI F・D/Aユニットとを具備し、両ユニット間を1本のケーブルで接続し、該ケーブルにI F信号と共に同調電圧信号を重ねし、両ユニットの上記ケーブル接続端部にフィルタを設けて、上記各信号を混合、分離するようにしたことを特徴とする周波数シンセサイザ受信装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、信号扱いを簡素化した電圧シンセサイザ受信装置に関する。

(従来技術)

例えば、衛星放送用の電圧シンセサイザ受信装置は、第5図に示すように、パラボラアンテナに一体化されたBSコンバータからの第1 I F (中間周波) 信号 (1035 MHz ~ 1335 MHz) をサテライ

トチューナ1で受信し、ここで選局を行って第2 I F 信号 (70 ~ 400 MHz) に周波数変換した後に、第2 I F ユニット2に出力している。そして、チューナ1における選局のために、CPU 3からの同調電圧データをD/A変換器4でアナログの直流電圧に変換して出力し、この同調電圧によって局部発振回路のバリスタの容量を変化させてその発振周波数を決定するようにしている。

(発明が解決しようとする問題点)

従って、この装置では、チューナユニット1の外部との信号線が少なくとも3系統必要となり、煩雑となるばかりか、接続端子数が多くなるので外来ノイズを拾い易いという問題があった。

本発明はこのような点に鑑みてなされたものであり、その目的は、選局部からの出力配線数を少なくして、上記した問題を解決することである。

(問題点を解決するための手段)

このために本発明は、チューナユニットとI F・D/Aユニットとを具備し、両ユニット間を1本のケーブルで接続し、該ケーブルにI F信号の

他に同調電圧信号を重ねし、両ユニットの上記ケーブル接続端部にフィルタを設けて、上記各信号を混合、分離するように構成した。

〔実施例〕

以下、本発明の実施例について説明する。第1図はその一実施例の全体を示す図である。ここでは、サテライトチューナ10を設けると共に、第2IFユニットとD/A変換器を一体化したIF・D/Aユニット20をそのチューナ10から分離し、両者間を1本のケーブル30で接続するようにした。

第2図はその回路を具体化した図である。チューナ10は、第1IF信号を受信・増幅するRF増幅器11、第1IF信号を第2IF信号に周波数変換を行う混合回路12、第2IF信号を増幅する第2IF増幅器13、局部発振回路14及び複数信号の重畳/分離を行うフィルタ回路15を有する。

また、IF・D/Aユニット20は、上記のフィルタ回路15と同様なフィルタ回路21、第2

IF増幅器22、D/A変換器23を有する。

そして、ケーブル30はフィルタ15と21との間に接続されている。

これらフィルタ15、21は第3図に示すように、70~40MHzの第2IF信号のみを通過させるハイパスフィルタ151、211、同調電圧(直流)を通過させるローパスフィルタ152、212を有する。

第4図はその各フィルタの周波数特性を示す図であり、これらフィルタにより直流の同調電圧と第2IF信号を完全に分離することができる。

さて、この装置においては、CPUから同調電圧データをD/A変換器23に出力すると、そこでアナログの直流電圧に変換され、同調電圧としてフィルタ回路21のローパスフィルタ212→ケーブル30→フィルタ回路15のローパスフィルタ152を経由して局部発振回路14のバリスタ及びRF増幅器11のバリスタに印加する。これにより局部発振回路14の発振周波数が決まり、またRF増幅回路11の同調回路の周波数も決ま

る。。

また、第2IF回路13で増幅された第2IF信号は、フィルタ回路15のハイパスフィルタ151→ケーブル30→フィルタ回路21のハイパスフィルタ211を経由して、第2IF回路22に伝送される。

なお、上記では衛星放送受信装置について説明したが、通常のFM受信機等にも同様に適用することができる。

〔発明の効果〕

以上のように本発明によれば、IF信号と共に同調電圧を1本のケーブルに多重化して伝送するようにしたので、チューナ、IF/PLLユニットの相互間接続用の端子数が1個で済み、配線が単純化されると共に、外来ノイズによる影響も軽減するようになる。

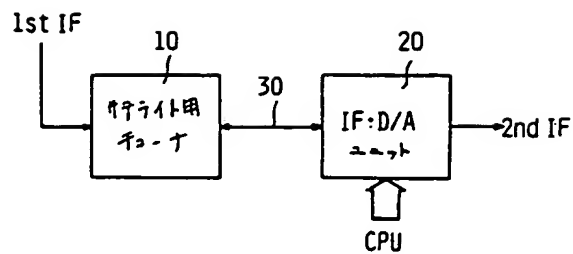
4. 図面の簡単な説明

第1図は本発明の受信装置のユニットブロック図、第2図は同装置を具体化したブロック図、第3図はフィルタ回路部分の詳細な回路図、第4図

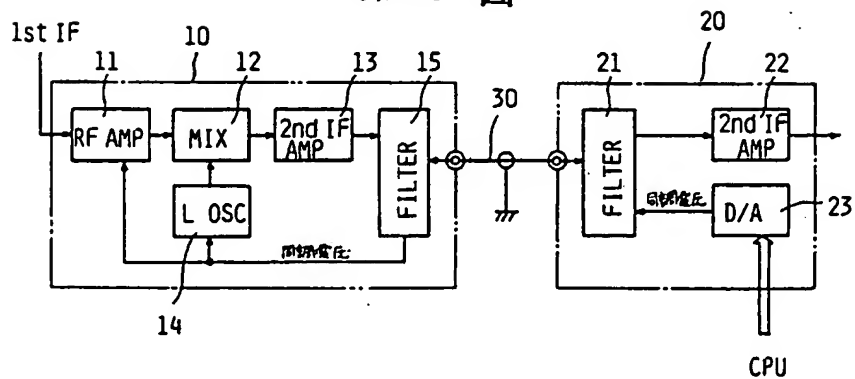
はフィルタ回路の周波数特性図、第5図は従来の受信装置のユニットブロック図である。

代理人 弁理士 長 尾 常 明

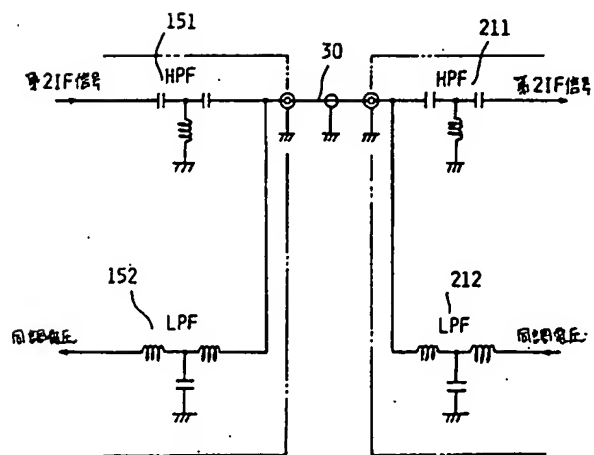
第 1 図



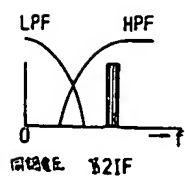
第 2 図



第 3 図



第 4 図



第 5 図

